

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number: 1020000004212 A  
(43) Date of publication of application: 25.01.2000(21) Application number: 1019980025642  
(22) Date of filing: 30.06.1998(71) Applicant: HYUNDAI ELECTRONICS IND.  
CO., LTD.  
(72) Inventor: JIN, SEONG GON  
NOH, JAE SEON

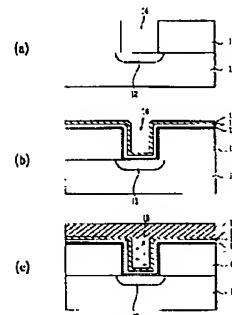
(51) Int. Cl H01L 21/24

## (54) METAL CONTACT FORMING METHOD OF SEMICONDUCTOR DEVICES

## (57) Abstract:

PURPOSE: A metal contact formation method is provided to stabilize a contact resistance by forming an AL layer between barrier metals made of Ti/TiN layers.

CONSTITUTION: The method comprises the steps of: forming an interlayer dielectric(13) on a semiconductor substrate(11) having a junction part(12); forming a contact hole(14) to expose the junction part(12) by etching a portion of the interlayer dielectric; sequentially forming an AL layer(15), a Ti layer(16) and a TiN layer(17) on the entire surface of the resultant structure; and forming a metal plug(18) to fill the contact hole(14) and forming a metal layer(19) on the resultant structure.



COPYRIGHT 2000 KIPO

## Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)



Ti/TiN막으로 배리어 메탈을 형성한다. 이때, Ti막은 후속 열처리 공정을 실시할 때 접합부의 실리콘 원자와 반응하여 비저항이 낮은 티타늄실리사이드( $TiSi_2$ )가 형성된다. 이후 안정된 콘택 저항을 얻기 위해 콘택 홀을 형성하기 위한 층간 절연막 식각중에 발생하는 손상(damage)층이나 결함(defect)층 및 자연 산화막등을 제거한다.

그런데, 반도체 소자가 고집적화되어 소자의 디자인 류이  $0.2\mu m$  이하로 감소됨에 따라 메탈 콘택의 사이즈가  $0.35\mu m$  이하로 감소하므로 콘택 저항이 급격하게 증가하게 되어 소자의 신뢰성을 저하시키게 된다.

### 발명이 이루고자 하는 기술적 효과

따라서, 본 발명은 콘택 저항을 안정화시켜 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 메탈 콘택 형성 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명은 반도체 기판 상부에 형성된 층간 절연막의 선택된 영역을 식각하여 상기 반도체 기판상에 형성된 접합부를 노출시키는 콘택 홀을 형성하는 단계와, 상기 콘택 홀을 포함한 전체 구조 상부에 Ti막을 형성하기 전 또는 후에 Al막을 형성한 후 TiN막을 형성하고 열처리 공정을 실시하는 단계와, 상기 콘택 홀이 매립되도록 플러그를 형성한 후 전체 구조 상부에 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

### 발명의 구성 및 작용

첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1(a) 내지 도 1(c)는 본 발명에 따른 반도체 소자의 메탈 콘택 형성 방법을 설명하기 위한 소자의 단면도이다.

도 1(a)를 참조하면, 소정의 공정을 통하여 접합부(12) 및 소정의 구조가 형성된 반도체 기판(11) 상부에 층간 절연막(13)을 형성한다. 접합부(12)가 노출되도록 층간 절연막(13)의 선택된 영역을 식각하여 콘택 홀(14)을 형성한다. 콘택 홀(14)을 형성한 후  $CF_4/O_2$  또는  $BOE$ (buffered oxide etchant;  $NH_4F+HF+H_2O$ )를 이용한 세정 공정으로 콘택 홀(14) 기저부의 자연 산화막을 제거한다.

도 1(b)는 콘택 홀(14)을 포함한 전체 구조 상부에 Al막(15), Ti막(16) 및 TiN막(17)을 순차적으로 형성한 후 열처리 공정을 실시한 상태의 단면도이다.

Al막(15)은 접합부(12)의 실리콘 원자와의 안정된 콘택을 형성하기 위하여 10~100Å의 두께로 증착한다. Al막(15)을 형성할 때 알루미늄 원자와 실리콘 원자의 확산에 의한 접합 파괴(junction spiking) 현상이 발생할 수 있으므로 Al막(15)의 두께를 조절하는 것은 매우 중요하다. 즉, 소자의 콘택 종횡비(aspect ratio)가 증가할 때 따라 Al막(15)의 스텝커버리지(step coverage)는 열약해지므로 Al막(15)의 스텝커버리지를 최대한 향상시키기 위해 200°C 미하의 저온과 3mTorr 미하의 압력에서 Al-0.5%Cu-1%Si 타겟을 이용하여 증착한다.

Ti막(16)은 200~1000Å의 두께로 증착하는데, 콜리메이트(collimate) 티타늄 또는 IMP(ionized metal plasma) 티타늄을 적용한다.

TiN막(17)은 리액티브 스퍼터링(reactive sputtering) 방법에 의해 500~1000Å의 두께로 증착하거나, CVD 방법에 의해 200~400Å의 두께로 증착한다.

열처리 공정은 콘택 저항을 안정화시키기 위해 실시하는 것으로, 열처리 온도가 650°C 이상일 경우에는 알루미늄의 용융에 의한 접합 파괴 현상이나 필름 리프팅(film lifting) 현상이 발생할 수 있으므로 650°C 미하에서 실시한다. 이때, 열처리 공정을 급속 열처리 장치를 이용하여 실시할 경우에는 650°C 미하의 온도의 질소 분위기에서 30초 미내로 실시하고, 반응로(furnace)에서 실시할 경우에는 600°C 미하의 질소 분위기에서 10분 미내로 실시한다. 그런데, 상기와 같이 Al막(15)을 Ti막(16)보다 먼저 증착할 경우에는 열처리 공정을 실시하지 않아도 된다.

한편, Ti막을 증착한 후 Al막을 증착할 수도 있는데, Al막을 증착한 후 Ti막을 증착할 때와 모든 조건이 동일하다. 단, 열처리 공정은 필수적으로 실시하여야 한다.

Al막을 먼저 형성할 경우에는 알루미늄 원자와 접합부의 실리콘 원자의 직접 콘택에 의해 안정된 콘택 저항이 얻어지고, Ti막을 먼저 형성할 경우에는  $TiAl$ 의 생성에 의해 접합부의 실리콘 원자와 콘택되어 비교적 안정된 콘택 저항을 얻을 수 있어 소자의 성능을 향상시킬 수 있다.

상술한 바와 같은 공정으로 메탈 콘택을 형성할 경우 N형 불순물이 주입된 접합부의 콘택 저항은 증가하지만, P형 불순물이 주입된 접합부에 비해 낮은 저항값을 가지므로 소자의 신뢰성에 아무런 문제를 야기하지 않는다.

[표 1] 및 [표 2]에 메탈 콘택에 Al막의 적용 여부에 따른 P형 불순물이 주입된 접합부 및 N형 불순물이 주입된 접합부의 콘택 저항을 각각 표시한 것으로, 각 경우의 웨이퍼를 2개씩 무작위로 추출하여 조사한 것이다.

[표 1]

배리어 메탈 종류	W/F No.	메탈 콘택 사이즈			
		$0.5 \times 0.6 \mu\text{m}^2$	$0.45 \times 0.55 \mu\text{m}^2$	$0.4 \times 0.45 \mu\text{m}^2$	$0.35 \times 0.4 \mu\text{m}^2$
Ti/TiN	1	359	468	625	897
	2	352	455	614	861
Al/Ti/TiN	3	283	302	407	496
	4	279	289	358	498
Ti/Al/TiN	5	504	393	367	623
	6	424	397	367	784

[표 2]

배리어 메탈 종류	W/F No.	메탈 콘택 사이즈			
		$0.5 \times 0.6 \mu\text{m}^2$	$0.45 \times 0.55 \mu\text{m}^2$	$0.4 \times 0.45 \mu\text{m}^2$	$0.35 \times 0.4 \mu\text{m}^2$
Ti/TiN	1	136	140	141	148
	2	133	139	140	146
Al/Ti/TiN	3	207	214	273	324
	4	200	202	235	235
Ti/Al/TiN	5	518.5	327	263	229
	6	397.3	255	237	222

[표 1] 및 [표 2]에서 알 수 있는 바와 같이 알루미늄을 첨가할 경우 비교적 큰 콘택 사이즈에서 콘택 저항의 안정화에 기여하는 효과가 미세하지만, 콘택 사이즈가 감소할수록 그 효과가 확실하게 나타남을 알 수 있다.

도 1(c)는 콘택 홀(14)이 매립되도록 텅스텐을 증착하여 텅스텐 플러그(18)를 형성한 후 전체 구조 상부에 금속층(19)을 형성한 상태의 단면도이다.

#### 설명의 표지

상술한 바와 같이 본 발명에 의하면 Ti/TiN막으로 배리어 메탈을 형성할 때 Ti막을 형성하기 전 또는 후에 Al막을 형성하므로써 접합부와의 콘택 저항을 안정화시켜 소자의 신뢰성을 향상시킬 수 있다.

#### (57) 청구의 범위

청구항 1. 반도체 기판 상부에 형성된 층간 절연막의 선택된 영역을 식각하여 상기 반도체 기판상에 형성된 접합부를 노출시키는 콘택 홀을 형성하는 단계와,

상기 콘택 홀을 포함한 전체 구조 상부에 Al막, Ti막 및 TiN막을 순차적으로 형성하는 단계와,

상기 콘택 홀이 매립되도록 플러그를 형성한 후 전체 구조 상부에 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 2. 제 1 항에 있어서, 상기 Al막은 10 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 3. 제 1 항에 있어서, 상기 Al막은 200°C 미하의 온도와 3mTorr 미하의 압력에서 Al-0.5%Cu-1%Si 타겟을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 4. 제 1 항에 있어서, 상기 TiN막을 증착한 후 열처리 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 5. 제 4 항에 있어서, 상기 열처리 공정은 650°C 미하의 질소 분위기에서 10분 미내로 실시하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 6. 반도체 기판 상부에 형성된 층간 절연막의 선택된 영역을 식각하여 상기 반도체 기판상에 형성된 접합부를 노출시키는 콘택 홀을 형성하는 단계와,

상기 콘택 홀을 포함한 전체 구조 상부에 Ti막, Al막 및 TiN막을 순차적으로 형성한 후 열처리 공정을 실시하는 단계와,

상기 콘택 홀이 매립되도록 플러그를 형성한 후 전체 구조 상부에 금속층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 7. 제 6 항에 있어서, 상기 Al막은 10 내지 100Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

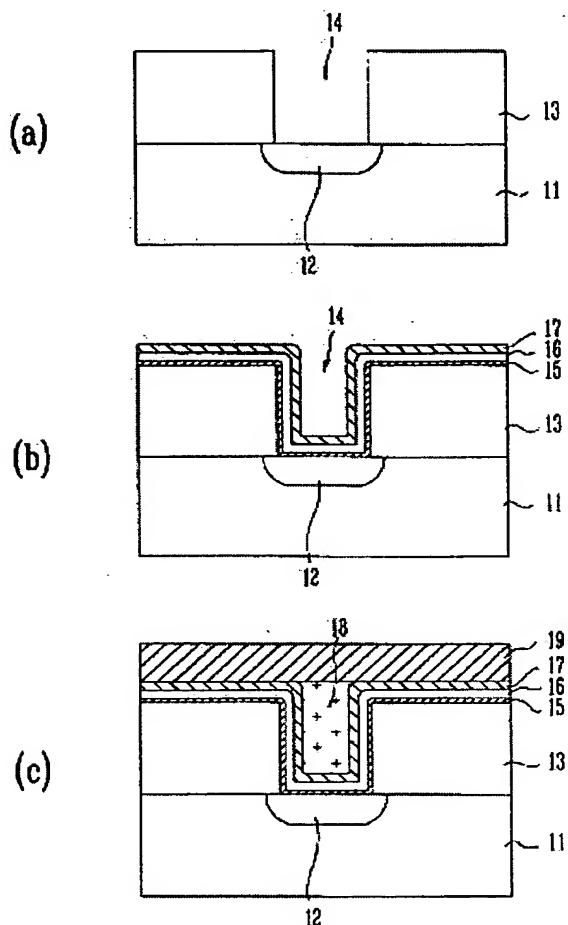
## 체 소자의 메탈 콘택 형성 방법.

청구항 8. 제 6 항에 있어서, 상기 Al막은 200°C 미하의 온도와 3mTorr 미하의 압력에서 Al-0.5%Cu-1kSI 타겟을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

청구항 9. 제 6 항에 있어서, 상기 열처리 공정은 650°C 미하의 질소 분위기에서 10분 이내로 실시하는 것을 특징으로 하는 반도체 소자의 메탈 콘택 형성 방법.

도면

도면1



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.